

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-103016

(43)Date of publication of application : 20.04.1989

(51)Int.Cl.

H03K 5/08

(21)Application number : 62-259608 (71)Applicant : TDK CORP

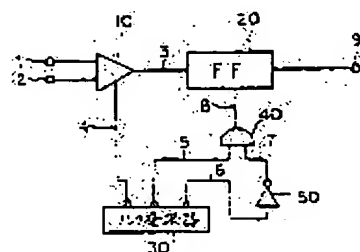
(22)Date of filing : 16.10.1987 (72)Inventor : TAKAHASHI KAZUKIYO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT FOR VOLTAGE COMPARISON

(57)Abstract:

PURPOSE: To eliminate the need of an external timing signal by generating a comparator control use timing signal and a latching circuit use strobe pulse signal by using a built-in ring oscillator.

CONSTITUTION: An offset compensation type voltage comparator 10 compares an input signal 1 and a reference telegraph signal 2, and outputs its result by a digital value. The output digital value is latched by a D-type flip-flop 20, and the output which has been to offset compensation is outputted to a terminal 9. A ring oscillator 30 is constituted of plural inverter circuits, and output three signals having a prescribed delay. A first signal 4 is supplied as an offset control use pulse voltage to the comparator 10. Also, a second signal 5 having a prescribed delay against said first signal, and a third signal 6 which has been inverted by an inverter 50 are brought to AND operation by an AND circuit 40, and become a strobe signal 8 to the D-type flip-flop 20. In such a way, the offset compensation type voltage comparator which necessitates no external clock, and also, has a large operation margin can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-103016

⑬ Int. Cl.⁴
H 03 K 5/08

識別記号 庁内整理番号
H-7631-5J

⑭ 公開 平成1年(1989)4月20日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 電圧比較半導体集積回路

⑯ 特 願 昭62-259608

⑰ 出 願 昭62(1987)10月16日

⑱ 発 明 者 高 橋 一 清 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

⑲ 出 願 人 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号

⑳ 代 理 人 弁理士 山本 恵一

明 細 書

1. 発明の名称

電圧比較半導体集積回路

2. 特許請求の範囲

第1のクロック信号により駆動され入力信号と基準電位を比較し結果をディジタル値で出力する比較回路と、

当該比較結果を第2のクロック信号によりラッチしオフセット補償された出力を提供するD型フリップフロップと、

リング型に接続される複数のインバータ回路を有し、各インバータ回路の出力から所定の遅延を有する信号を出力可能なリング発振器と、

リング発振器のひとつの出力を前記第1のクロック信号とする手段と、

リング発振器の別の出力から前記第2のクロックを提供する論理演算手段とを有することを特徴とする電圧比較半導体集積回路。

(2) 前記論理演算手段が、リング発振器の第2の出力とインバータ回路を介したリング発振器の

第3の出力との論理積を与える手段であることを特徴とする特許請求の範囲第1項記載の電圧比較半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、アナログ信号電圧をデジタル信号電圧に変換する装置に使用されるオフセット補償型電圧比較半導体集積回路に係わるものである。

(従来の技術)

アナログ信号電圧をデジタル信号電圧に変換する、いわゆるA/D変換装置は近年ますます高精度化が要求されている。高精度A/D変換装置には分解能の高い電圧比較回路が必要であるが、分解能は電圧比較回路の入力オフセット電圧によって阻害される。従って入力オフセット電圧を低減することが必要となる。

入力オフセット電圧を低減する方法として半導体集積化された電圧比較回路では製造工程の改良や工夫による集積化されたデバイスの特性の均一化、例えばMOSFETを用いるものであればゲ-

ト閾値電圧 V_T 、相互コンダクタンス g_m などの製造ばらつきの低減、更にバイポーラトランジスタを用いるものであれば電流増幅率 h_{fe} 、ベース・エミッタ障壁電圧 V_{be} などの製造ばらつきの低減を行なう方法が用いられているが、他の方法としてはこのような製造ばらつきの存在を認めた上で回路上の工夫で入力オフセット電圧を低減する方法がある。即ち、オフセット補償型電圧比較回路である。

従来、この種のオフセット補償型電圧比較回路では基準電圧と入力信号電圧を比較増幅する回路と、比較増幅された信号電圧を記憶保持する記憶回路から構成されている。比較増幅する回路（以下、電圧比較回路と称する）にはオフセット電圧を低減するためにクロック信号が与えられ待機期間にオフセット電圧を吸収し、動作期間に入力信号電圧を基準電圧と比較増幅が行なわれ、この出力電圧は次の記憶回路（以下、ラッチ回路と称する）に入力されるがラッチ回路には前記クロック信号とは異なる別種のクロック信号が用いられて

充電されたオフセット電圧が差し引かれた形で増幅されてリード線105から出力される。リード線105からの出力電圧はラッチ回路200によってラッチされるが、これはパルス発生回路300から発生され、リード線107によって印加されるストロープ・パルス電圧によってラッチされる。ストロープ・パルス電圧はパルス発生回路300によって、端子103より入力される外部クロックパルス電圧をもとにして生成される。オフセット補償型電圧比較回路100にリード線106を介して印加されるオフセット制御用クロックパルス電圧も端子103から入力される外部クロックパルス電圧をもとにしてパルス発生回路300によって生成される。

（発明が解決しようとする問題点）

このような従来のオフセット補償型電圧比較半導体集積回路では端子103を介して外部からクロックパルス電圧を印加しなければならず、その上パルス発生回路300からオフセット制御用クロックパルス電圧及びストロープパルス電圧が適切に生成されるように外部クロックパルス電圧の周期

いる。このようなオフセット補償型電圧比較回路の詳しい説明は、1985年2月に発行された刊行物「アイ・エス・エス・シー・シー・1985・ダイジスト・オブ・テクニカル・ペーパーズ」（ISSCC 1985 DIGEST OF TECHNICAL PAPERS）に記載されている。

第4図は従来のオフセット補償型電圧比較半導体集積回路の概略図を示したものである。オフセット補償型電圧比較回路100は通常、高感度増幅器とオフセット電圧を吸収する容量から構成されている。当該電圧比較回路100に端子101から入力信号電圧、端子102からは比較するための基準電圧が印加される。電圧比較回路100にはパルス発生回路300から出力されるオフセット制御用パルス電圧がリード線106を通じて印加される。オフセット制御用パルス電圧が低レベルのときは通常、電圧比較回路100は待機状態にあり高感度増幅器のオフセット電圧は容量に充電され、制御用パルス電圧が高レベルになると入力信号電圧と基準電圧の差電圧が増幅されるが、このとき容量に

及びデューティが正確に管理されなければならないという欠点がある。

本発明は上記欠点を改善するもので、外部からのクロック信号を必要とせずかつ動作マージンの大きなオフセット補償型電圧比較半導体集積回路を提供することを目的とする。

（問題点を解決するための手段）

前記目的を達成するための本発明の特徴は、第1のクロック信号により駆動され入力信号と基準電位を比較し結果をデジタル値で出力する比較回路と、当該比較結果を第2のクロック信号によりラッチしオフセット補償された出力を提供するD型フリップフロップと、リング型に接続される複数のインバータ回路を有し、各インバータ回路の出力から所定の遅延を有する信号を出力可能なリング発振器と、リング発振器のひとつの出力を前記第1のクロック信号とする手段とリング発振器の別の出力から前記第2のクロックを提供する論理演算手段を具備することにある。

（作用）

上記構成において、リング発振器はタイミングが少しづつ異なる複数の遅延した信号を出力することができる。従って、リング発振器の出力を組合せ論理回路で処理することにより、比較回路に必要な全てのクロック信号を安定に得ることが出来、外部からのタイミング信号は必要としない。従って前記目的が達成される。

(実施例)

第1図は本発明による電圧比較半導体集積回路の実施例である。リング発振器30からはオフセット制御用パルス電圧がリード線4を介してオフセット補償型電圧比較回路10に供給され、オフセット制御用パルス電圧よりも時間的に遅延したパルス電圧がリード線5を介して論理積回路5に、更に遅延したパルス電圧がリード線6を介してインバータ50に印加される。リング発振器30の詳細な回路図を第2図に示した。この図で端子4, 5, 6は第1図のリード線4, 5, 6に対応している。リング発振回路は奇数段のインバータ回路をリング状に接続したものであり、第2図から分るよう

パルス電圧とストローブパルス電圧との関係は第3図のようになり、オフセット制御パルス電圧が高レベル時、即ち信号電圧をリード線3に出力している期間にストローブパルス電圧がリード線8を介してD型フリップフロップ回路20に印加されるのでデータがラッチされて出力端子9よりデータが出力される。

第1図で、第4図における外部パルス入力端子103が存在しないことは、本発明の特徴のひとつである。

(発明の効果)

以上の説明からも理解できるように、本発明による電圧比較半導体集積回路では外部からクロック信号を印加する必要がないうえに、内蔵されたリング発振回路で遅延パルス電圧が生成されてそれを用いてオフセット制御用パルス電圧とストローブパルス電圧が作られるので、それらの時間遅延関係を正確に保つことができ、その結果、動作マージンの大きいラッチ動作を行なうことができる。

に端子4からのパルス電圧、即ち、オフセット制御用パルス電圧に対して、端子5からのパルス電圧はインバータ2段分遅延しており、端子6からのパルス電圧は更にインバータ2段分遅延している。端子5からのパルス電圧をストローブ用パルス電圧1、端子5からのパルス電圧をストローブ用パルス電圧2とすると、それらの関係は第3図のようになる。第3図で t は遅延時間を示している。なお、これらのパルス電圧の周期はオフセット補償型電圧比較回路10及びD型フリップフロップ回路20の動作速度に比べて充分に長くなるようにリング発振回路が構成される。インバータ回路50からの出力はリード線7を介して論理積回路40に入力され、その出力はリード線8を介してストローブ・パルス電圧としてD型フリップフロップ回路20に印加される。ここで、論理積回路40及びインバータ回路50もパルス周期に比べて充分高速なものが用いられる。従って、時間遅延は殆んどリング発振回路で決まり、他の論理回路部分での遅延は無視できる。オフセット制御

本文で説明したオフセット補償型電圧比較回路については待機期間と動作期間をもち、待機期間にオフセット電圧を記憶し、動作期間にオフセット電圧の低減されるような電圧比較動作を行なう回路であれば、どのような回路形式のもので良く、回路を特に限定するものではない。

4. 図面の簡単な説明

第1図は本発明による電圧比較半導体集積回路の実施例、第2図はリング発振回路、第3図は第1図の回路の動作波形図、第4図は従来の回路の例である。

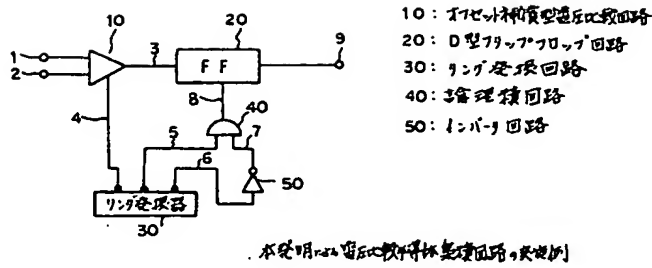
- 1 ; 入力端子、 2 ; 比較電圧入力端子、
10 ; 電圧比較回路、 20 ; D型フリップフロップ、
30 ; リング発振回路、 40 ; 論理積回路、
50 ; インバータ回路。

特許出願人

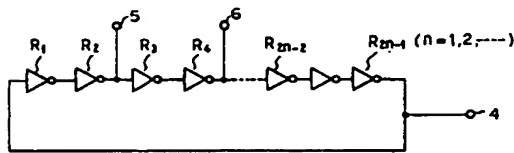
ティーディーケイ株式会社

特許出願代理人

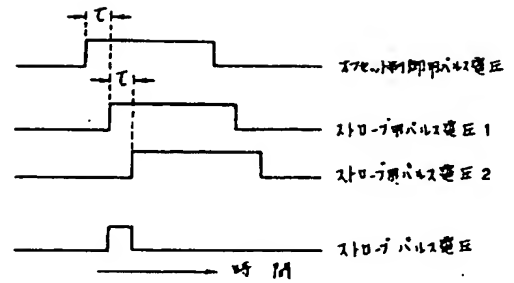
弁理士 山 本 恵 一



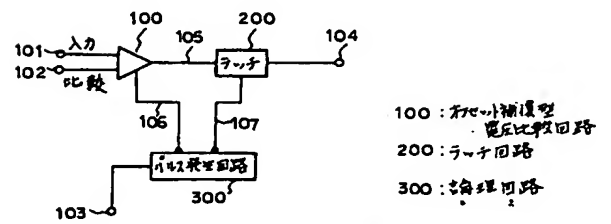
第 1 図



第 2 図



第 3 図



第 4 図